

5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-122966

(43)Date of publication of application : 13.05.1997

(51)Int.Cl. B23K 35/22
 H01L 21/52
 H05K 3/34

(21)Application number : 07-279193

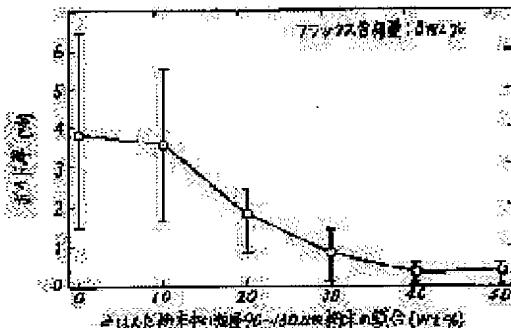
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.10.1995

(72)Inventor : ISHIZAKI MITSUNORI
 SAKATA TETSUO
 HAMAGUCHI TSUNEO**(54) SOLDER PASTE, JOINING METHOD USING THIS SOLDER PASTE AND SEMICONDUCTOR DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To make it possible to decrease the void defects in a joint part by forming solder powder of which $\geq 20\text{wt.\%}$ has at least $90\mu\text{m}$ grain size and specifying the content of a flux component to ≥ 6 to $\leq 12\text{wt.\%}$ of solder paste.

SOLUTION: This solder paste is formed by mixing the solder powder and the flux component and $\geq 20\text{wt.\%}$ of the solder particles have at least $90\mu\text{m}$ grain size. The content of the flux component is specified to ≥ 6 to $\leq 12\text{wt.\%}$. The number of particles of the solder powder and the density of the solder paste decrease and the content of the flux component is low as well. Then, even if the printing quantity of the solder paste in joining increases, the amt. of the flux is sufficiently decreased and voids are decreased. The gaps among the particles of the solder powder increase and the discharge of the gases generated from the flux component is easy. The generation of air bubbles which are the cause for the voids is suppressed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-122966

(43)公開日 平成9年(1997)5月13日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
B 23 K 35/22	310		B 23 K 35/22	310 A
H 01 L 21/52			H 01 L 21/52	E
H 05 K 3/34	503	7128-4E	H 05 K 3/34	503 Z

審査請求 未請求 請求項の数4 O L (全6頁)

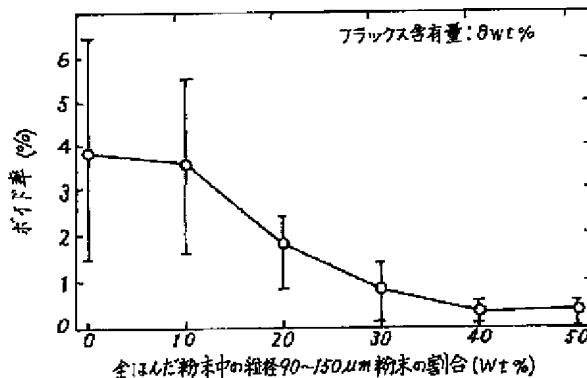
(21)出願番号	特願平7-279193	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成7年(1995)10月26日	(72)発明者	石崎 光範 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	坂田 哲夫 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	濱口 恒夫 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	弁理士 高田 守 (外4名)

(54)【発明の名称】 ソルダペースト、このソルダペーストを用いた接合方法および半導体装置

(57)【要約】

【課題】 はんだ粉末とフラックス成分とを混合したソルダペーストを用いた接合において、フラックス成分残留に起因するボイドが発生する。

【解決手段】 はんだ粉末の20wt%以上が少なくとも90μmの粒径を有し、フラックス成分の含有量を6wt%以上、12wt%以下としてソルダペーストを構成することにより、接合部のフラックス成分を十分に低減させる。



【特許請求の範囲】

【請求項1】 はんだ粉末とフラックス成分とを混合したソルダペーストにおいて、上記はんだ粉末のはんだ粒子の20wt%以上が少なくとも90μmの粒径を有し、しかも上記フラックス成分の含有量が6wt%以上、12wt%以下であることを特徴とするソルダペースト。

【請求項2】 請求項1記載のソルダペーストをスクリーン印刷により第1の被接合部材に供給し、その上に第2の被接合部材を搭載した後、熱処理を施すことによって、上記ソルダペースト中のはんだ粉末を溶融させるとともに、フラックス成分を外部に排出させ、その後冷却処理を施して溶融はんだを凝固させて、はんだ層による接合を形成することを特徴とする接合方法。

【請求項3】 冷却処理を施して溶融はんだを凝固させた後、被接合部材およびはんだ層の外側に付着したフラックスの固形成分の残渣を洗浄液を用いて除去することを特徴とする請求項2記載の接合方法。

【請求項4】 金属基板と、この金属基板上に搭載された、表裏面に金属層が形成された絶縁基板と、この絶縁基板上に搭載された半導体チップとを有し、上記金属基板と上記絶縁基板との接合部、および上記絶縁基板と上記半導体チップとの接合部の一方または双方を請求項1記載のソルダペーストを用いて形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体チップや半導体装置基板等比較的接合面積の大きい部材を基材に接合する際に用いられるソルダペーストに関するものである。

【0002】

【従来の技術】 図3は、例えば学文献社発行の「エレクトロニク・セラミクス」(1988年11月号)に記載されている、セラミクスの絶縁基板を使用した高発熱・大電流消費の半導体装置の構造を示す断面図である。図において、1はセラミクスから成る絶縁基板(以下、セラミクス基板と称す)、2a, 2bはセラミクス基板2の表面および裏面に形成された金属層、3はセラミクス基板1表面の所定領域の金属層2aに接合されてセラミクス基板1に搭載された発熱量の大きい半導体チップ、4はセラミクス基板1裏面の金属層2bに接合されて半導体チップ3で発生した熱を外部へ放熱させる熱伝導性の良好な金属基板、5は半導体チップ3と金属層2aとを電気的に接続するワイヤ、6a, 6bはセラミクス基板1の表面および裏面に形成された金属層2a, 2bと、それに接合された半導体チップ3および金属基板4との間に形成された接合のためのはんだ層である。

【0003】 以上のように構成された半導体装置において、接合のためのはんだ層6a, 6bには、はんだ粉末

にフラックス成分を混合して構成されたソルダペーストが用いられる。はんだ層6aは表面および裏面に金属層2a, 2bが形成されたセラミクス基板1の表面に形成された金属層2a上の所定領域に、スクリーン印刷により上記ソルダペーストを供給してソルダペースト層7a(図示せず)を形成した後、半導体チップ3をソルダペースト層7aが形成された箇所に搭載し、加熱装置で熱処理を施すことにより、ソルダペースト層7a中のはんだ粉末を溶融させるとともにフラックス成分を外部に排出させ、続いて冷却処理を施して溶融したはんだを凝固させて形成する。また、はんだ層6bは金属基板4上の所定領域に、スクリーン印刷により上記ソルダペーストを供給してソルダペースト層7b(図示せず)を形成した後、セラミクス基板1をソルダペースト層7bが形成された箇所に搭載し、加熱装置で熱処理を施すことにより、上記はんだ層6aと同様の過程で形成する。はんだ層6a, 6bの形成時に半導体装置外部に付着するフラックスの固形成分の残渣(以下、フラックス残渣と称す)は、洗浄液により除去する。なお、2つのはんだ層6a, 6bはそれぞれ個別に形成する場合も同時に形成する場合もある。また、2つのはんだ層6a, 6bに用いられるソルダペーストは同一である場合も異なる場合もある。

【0004】 ところで、上記のようなはんだ層6a, 6bによる接合に用いられる従来のソルダペーストは、例えば株式会社日本スペリア社発行の「PRODUCTS GUIDE ソルダリング部門」に記載されているように、75μm以下の粒径分布を持つはんだ粉末に印刷性とぬれ性を確保するために9~15wt%の含有量でフラックス成分を混合したものであった。

【0005】

【発明が解決しようとする課題】 上記のような従来のソルダペーストを用いて接合を行う際、スクリーン印刷で供給されたソルダペーストの表面には凹凸が存在するため、その上に部材を搭載すると、ソルダペースト表面と部材との間には隙間が生じる。加熱を始めてフラックスの固形成分の軟化点前後まで温度が上昇するとソルダペーストの流动性が増し、毛細管現象によって上記隙間を埋めるようにソルダペーストが流动し、ソルダペーストと搭載部材との接触面積が増加していく。しかし、この時上記の隙間に存在していた雰囲気の一部は閉じ込められ、ソルダペーストと搭載部材との間に無数の気泡が形成される。時間が経過し温度が上昇すると、上記気泡の一部はソルダペースト中を移動し外部に排出されて消失するが、一部は気泡内部に閉じ込められた雰囲気の膨張によって周囲のソルダペーストを押し退けて大きさを増し、ソルダペーストの表裏面を貫通する気泡を形成する。さらに温度が上昇してソルダペースト中のフラックス成分の溶剤が活発に気化し始めると、気化した気体の一部がソルダペースト中に閉じ込められて気泡が形成さ

れ、このような気泡は急激な加熱を行うと顕著に発生する。

【0006】以上のように形成された気泡にはフラックスの固形成分やフラックス成分から発生する気体が選択的に閉じ込められ、このような気泡の形成された箇所の一部は、はんだ粉末が溶融しても溶融はんだと被接合部材との接触を妨げて不融を生じさせ、はんだ凝固後にボイドと呼ばれる接合欠陥を形成した。このようなフラックス成分の残留に起因するボイドは、接合面積が大きい部材の場合、ソルダペーストの印刷量も大きく接合部のフラックス量も多量となるため、発生しやすくなる。ボイド不良は接合部の面積の10%以上を占めることもあり、特に上述したような大電流半導体装置においては、はんだ層6a, 6bに多数のボイドが形成されると、半導体チップ3と金属基板4との間の熱の流路が狭まって放熱能力が著しく低下し、半導体装置の信頼性が劣化してしまう問題があった。

【0007】上記のようなボイド不良を低減するために、上述した大電流半導体装置の接合工程において、はんだ溶融後の冷却過程で、はんだが凝固する前にスクラブ工程が従来から行われている。このスクラブ工程は、人手によって半導体チップ3あるいはセラミクス基板1に振動を加え、ボイド内部の気体や固形成分を外部に排出させ、はんだ層6a, 6bのボイド不良を低減させる工程である。しかしながら、このようなスクラブ工程は作業者の熟練度等により効果の差が大きく信頼性に問題があるとともに、工程数の増加による生産性の低下や人件費による製造コストの増加等の問題があった。また、特に加熱、接合中の雰囲気を制御したい場合には、気密性維持のためにスクラブ工程が行えないという問題もあった。

【0008】この発明は、以上のような問題点を解消するためになされたものであって、接合部のボイド不良を安定的に低減できる信頼性の高いソルダペーストを得るとともに、高発熱、大電流消費の半導体装置の放熱性を向上させて信頼性の向上を図ることを目的とする。

【0009】

【課題を解決するための手段】 この発明の請求項1に係わるソルダペーストは、はんだ粉末とフラックス成分とを混合したものであって、上記はんだ粉末のはんだ粒子の20wt%以上が少なくとも90μmの粒径を有し、しかも上記フラックス成分の含有量が6wt%以上、12wt%以下であるものである。

【0010】この発明の請求項2に係わる接合方法は、請求項1記載のソルダペーストをスクリーン印刷により第1の被接合部材に供給し、その上に第2の被接合部材を搭載した後、熱処理を施すことによって、上記ソルダペースト中のはんだ粉末を溶融させるとともに、フラックス成分を外部に排出させ、その後冷却処理を施して溶融はんだを凝固させて、はんだ層による接合を形成する

ものである。

【0011】この発明の請求項3に係わる接合方法は、請求項2において、冷却処理を施して溶融はんだを凝固させた後、被接合部材およびはんだ層の外側に付着したフラックスの固形成分の残渣を洗浄液を用いて除去するものである。

【0012】この発明の請求項4に係わる半導体装置は、金属基板と、この金属基板上に搭載された表裏面に金属層が形成された絶縁基板と、この絶縁基板上に搭載

10された半導体チップとを有し、上記金属基板と上記絶縁基板との接合部、および上記絶縁基板と上記半導体チップとの接合部の一方または双方を請求項1記載のソルダペーストを用いて形成したものである。

【0013】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1について説明する。組成がSn27/Sb3/Pb70でいろいろな粒径を持つ球形のはんだ粉末を目開きが63μmのメッシュでふるいにかけ、網目を通過したはんだ粉末を

20取出して粒径分布が63μm以下のはんだ粉末を用意した。同様に目開きが150μmのメッシュでふるいにかけ、網目を通過したものをさらに目開き90μmのメッシュでふるいにかけ、網目を通過しなかったはんだ粉末を取り出し、粒径分布が90~150μmのはんだ粉末を用意した。

【0014】次に、上記粒径63μm以下のはんだ粉末に上記粒径90~150μmのはんだ粉末を混合比率を変えて添加したはんだ粉末に塩素含有量が0.20wt%のフラックス成分を8wt%混合して数種類のソルダペーストを作成した。このとき上記粒径90~150μmのはんだ粉末の混合比率は、この発明の例として20wt%、30wt%、40wt%および50wt%とし、比較例として0wt%および10wt%とした。

【0015】幅45mm、長さ91mm、厚さ3mmの銅板の表面にニッケルめっきを施した金属基板4上に、作成した上記ソルダペーストをスクリーン印刷により供給して幅38mm、長さ60mm、厚さ0.4mmのソルダペースト層7bを形成した。次に、表面に厚さ0.3mmの銅/ニッケルの金属層2aによる配線パターン

40が形成され、裏面に幅38mm、長さ60mm、厚さ0.3mmの銅/ニッケルの金属層2bが形成された、幅39mm、長さ61mm、厚さ1mmのセラミクス基板1を用意し、このセラミクス基板1を上記ソルダペースト層7bが形成された金属基板4上に重ね合わせる。その後、炉内を窒素で満たして酸素濃度を100ppmとしたリフロー炉で250℃以上(最高温度275℃)で3分間保持して、ソルダペースト中のはんだ粉末を溶融させ、スクラブ工程を行わずに冷却し、はんだ層6bを凝固させて接合を行った。

50 【0016】以上のように作成した試料の接合部を超音

波頭微鏡で観察し、接合面に存在するボイドの面積率

(以下、ボイド率と称す)を測定し、結果を図1に示す。図1に示すように、フラックス成分の含有量8wt%のソルダペーストでは、90μm以上の粒径のはんだ粉末の混合比率が、比較例である0wt%および10wt%の時は、ボイド率が最大で5%を越えるが、この発明の例である20wt%以上(20wt%、30wt%、40wt%および50wt%)の時は、ボイド率が最大でも3%以下となり、ボイド不良が低減できた。

【0017】ところで、従来のソルダペーストは、上述したように75μm以下の粒径分布を持つはんだ粉末に9~15wt%の含有量でフラックス成分を混合したものであった。フラックス成分の残留に起因するボイドの発生を低減させるため、はんだ粉末の粒径をそのままにしてフラックス成分の含有量を低減させてみると、例えばフラックス成分の含有量が8wt%のソルダペーストで接合を行うと、接合部のフラックス量は十分に低減されず大きな効果が得られなかった。さらにフラックス成分の含有量が7wt%のソルダペーストでは、はんだ粉末の表面酸化膜が十分に除去されず、ぬれ不良に起因して逆にボイドが増加してしまった。

【0018】この発明による上記実施の形態1では90μm以上の粒径のはんだ粉末の混合比率を20wt%以上と大粒径のはんだ粉末を用い、フラックス成分の含有量も8wt%と従来のものより低くした。なお、ソルダペーストの印刷性の点から、はんだ粉末の最大粒径は印刷マスクの厚さの1/2程度以下が望ましく、上記実施の形態1においても、はんだ粉末の粒径分布は90~150μmに設定した。

【0019】このように大粒径のはんだ粉末を用いることにより、はんだ粉末の粒子数も減少しソルダペーストの密度も減少する。その上フラックス成分の含有量が8wt%と低いため、ソルダペーストの単位体積当たりのフラックス量を大きく低減することができる。このため、接合面積が大きい部材の接合において、ソルダペーストの印刷量が多くなっても接合部のフラックス量が十分低減できるため、フラックス成分の残留に起因するボイドが低減できる。なお、接合部のフラックス量を低減しても、はんだ粉末の粒径が大きいため接合部の全はんだ粉末の表面積も低減され、はんだ粉末の表面酸化膜は十分除去可能となる。またさらに、はんだ粉末が大粒径のため、はんだ粉末間の隙間が大きくなり、接合部に巻き込まれた雰囲気やフラックス成分から発生する気体が外部へ排出され易くなり、ボイドの原因となる気泡の発生を抑制することができる。また、フラックスの固形成分の外部に排出されやすくなる。このような相乗作用によりボイドの発生を著しく低減することが可能になり、図1に示す結果を得た。また、90μm以上の粒径のはんだ粉末の混合比率が20wt%に満たない場合は、上記のような作用、効果が十分に得られないことが、比較

例により判明した。

【0020】実施の形態2. 次に、この発明の実施の形態2について説明する。組成がSn27/Sb3/Pb70で粒径分布が63μm以下のはんだ粉末に、粒径分布が90~150μmのはんだ粉末を20wt%混合し、塩素含有量が0.20wt%のフラックス成分を含有量を変えて混合して、数種類のソルダペーストを作成した。このとき、フラックス成分の含有量は、この発明の例として6wt%、8wt%および12wt%とし、比較例として13wt%および15wt%とした。上記実施の形態1と同様に、金属基板4に作成した上記ソルダペーストから成るソルダペースト層7bを形成し、表裏面に金属層2a、2bが形成されたセラミクス基板1を重ね合わせた後、熱処理を施してソルダペースト中のはんだ粉末を溶融させ、その後冷却してはんだ層6bを凝固させて接合を行った。

【0021】以上のように作成した試料の接合部を超音波頭微鏡で観察して接合面のボイド率を測定し、結果を図2に示す。図2に示すように、粒径90μm以上のはんだ粉末が20wt%混合したソルダペーストでは、フラックス成分の含有量が、比較例である13wt%および15wt%の時はボイド率が最大で4~5wt%程度となるが、この発明例である6wt%~12wt%(6wt%、8wt%および12wt%)の時は、ボイド率が最大でも3%程度となり、ボイド不良が低減できた。なお、フラックス成分の含有量が6wt%に満たないと、印刷性が著しく低下しソルダペーストとして機能しないものであった。

【0022】この実施の形態2においても、上記実施の形態1と同様に、ソルダペースト中のフラックス成分の含有量が6~12wt%と低いうえに大粒径のはんだ粉末を用いたために、ソルダペーストの単位体積当たりのフラックス量を大きく低減でき接合部のフラックス量が十分低減できる。また、はんだ粉末が大粒径のため接合部に巻き込まれた雰囲気、フラックス成分から発生する気体、フラックスの固形成分が外部に排出されやすく、これらのことによりボイドの発生を著しく低減することが可能になり、図2に示す結果を得た。また、フラックス成分の含有量が12wt%を越えると、接合部のフラックス量の低減が十分ではなくフラックス成分の残留に起因するボイドの発生が抑制できないことが、比較例により判明した。

【0023】実施の形態3. 次に、この発明の実施の形態3について説明する。組成がSn63/Pb37でいろいろな粒径を持つ球形のはんだ粉末を目開きが106μmのメッシュであるいにかけ、網目を通過したものを作り目開き90μmのメッシュであるいにかけ、網目を通過したものを作り目開き45μmのメッシュであるいにかけた。次に、粒径45~90μmのはんだ粉末と粒径90~106μmのはんだ粉末を、粒径90~1

	試料A ソルダペーストA	試料B ソルダペーストB
ボイド率 (%)	最小値	最大値
	平均値	4.28
発熱によるトランジスタチップの破壊率 (%)	0.00	21.80

7
0.6 μmのものが40wt%となるように混合し、塩素含有量が0.20wt%のフラックス成分を8wt%混合してこの発明の例であるソルダペーストAを作成した。また、粒径45μm以下のはんだ粉末に塩素含有量が0.20wt%のフラックス成分を14wt%混合して、比較例として従来技術におけるソルダペーストBを作成した。

【0024】上記実施の形態1で作成した試料（セラミクス基板1を金属基板4上に接合したもの）のうち、粒径90～150μmのはんだ粉末の混合比率を40wt%としたソルダペースト、すなわち、粒径63μm以下のはんだ粉末に粒径90～150μmのはんだ粉末を40wt%混合し、塩素含有量が0.20wt%のフラックス成分を8wt%混合して作成したソルダペーストを用いたものを、この発明例に用いる試料Aとする。同様に粒径90～150μmのはんだ粉末の混合比率を0wt%としたソルダペースト、すなわち粒径63μm以下のはんだ粉末に塩素含有量が0.20wt%のフラックス成分を8wt%混合して作成したソルダペーストを用いたものを、比較例に用いる試料Bとする。

【0025】次に、試料A、Bのセラミクス基板1表面の金属層2a上の所定領域に、ソルダペーストA、Bをそれぞれスクリーン印刷により供給して幅6.1mm、長さ6.1mm、厚さ0.2mmのソルダペースト層7aを形成した。このときソルダペーストAは試料Aに、ソルダペーストBは試料Bに用いる。次に、ソルダペースト層7aが形成された試料A、Bのそれぞれに、幅6.1mm、長さ6.1mm、厚さ0.25mmの半導体チップとしてのトランジスタチップ3を6個搭載し、その後、炉内を窒素で満たして酸素濃度を100ppmとしたリフロー炉で200℃以上（最高温度235℃）で2分間保持して、ソルダペーストA、B中のはんだ粉末を溶融させ、スクレーブ工程を行わずに冷却し、はんだ層6aを凝固させて接合を行った。これにより大電流・高発熱の半導体装置を形成した。この後、上記半導体装置外部に付着したフラックス残渣を洗浄液により除去した。

【0026】以上のように作成した2種類の半導体装置について、それぞれトランジスタチップ3とセラミクス基板1との接合部を超音波顕微鏡で観察し、接合面のボイド率を測定した。さらに、放熱性能を調べるために、トランジスタチップ3とセラミクス基板1表面の金属層2aをワイヤ5で接続し（図3参照）、その後トランジスタチップ3のコレクタ・ベース間に50Vの電圧を印加し、コレクタ・エミッタ間に1Aの電流を10秒間流してトランジスタチップ3を発熱させ、トランジスタ特性を測定して発熱によるトランジスタチップ3の破壊率を調べた。それぞれの結果を表1に示す。

【0027】

【表1】

10

【0028】表1に示すように、試料AとソルダペーストAとを用いて作成したこの発明の例である半導体装置は、ボイド率も1%以下で、発熱によるトランジスタチップ3の破壊も無く、試料BとソルダペーストBとを用いて作成した比較例と比べ信頼性が著しく向上したものである。なお、試料Aにおいて、金属基板4とセラミクス基板1との接合におけるボイド率も1%以下（図1参照）であり、このようにボイドの発生が低減されれば、トランジスタチップ3と金属基板4との間の熱の流路が狭められることなく、放熱能力が向上し、信頼性の高い半導体装置が得られる。また、ソルダペーストAは、フラックス成分が十分に低減されているため、接合完了後に半導体装置外部に付着するフラックス残渣も低減でき、それによってこのフラックス残渣を洗浄する洗浄液の長寿命化を図ることができた。

【0029】

【発明の効果】以上のようにこの発明によると、ソルダペーストのはんだ粉末の20wt%以上が少なくとも90μmの粒径を有し、フラックス成分の含有量を6wt%以上、12wt%以下としたため、ソルダペーストの印刷性、ぬれ性を損なうことなく、このソルダペーストを用いた接合部のボイド不良を安定して低減することができる。また、このような効果を生産性の低下や製造コストの増加等を招くことなく容易に得ることができる。これにより、比較的接合面積の大きい部材の接合の信頼性を容易に格段と向上できる。

【0030】また、この発明によると、上記ソルダペーストをスクリーン印刷により供給し、その上に被接合部材を搭載した後、熱処理によりソルダペースト中のはんだ粉末を溶融させるとともにフラックス成分を外部へ排出させ、その後冷却処理により溶融はんだを凝固させて接合を行うため、上記効果が確実に得られる。

【0031】また、この発明によると、上記ソルダペーストによる接合を行った後、洗浄液を用いてフラックス残渣を除去するため、フラックス残渣が低減でき、洗浄液の長寿命化が図れる。

【0032】また、この発明によると、金属基板と絶縁基板との接合部および上記絶縁基板と半導体チップとの接合部を、上記ソルダペーストを用いて形成したため、接合部のボイド不良が低減できて半導体装置の放熱能力

20

が向上し、信頼性の高い半導体装置が得られる。特に大電流・高発熱の半導体装置において大きな効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における効果を説明する図である。

*

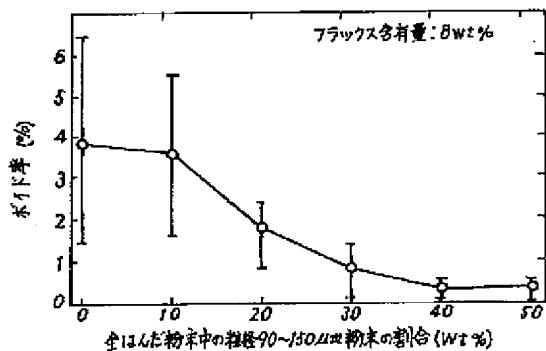
* 【図2】 この発明の実施の形態2における効果を説明する図である。

【図3】 半導体装置の構造を示す断面図である。

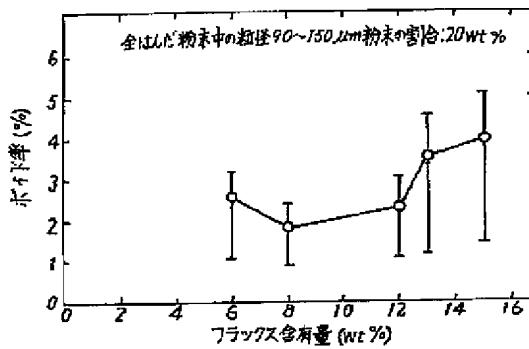
【符号の説明】

1 絶縁基板、2a, 2b 金属層、3 半導体チップ、4 金属基板、6a, 6b はんだ層。

【図1】



【図2】



【図3】

